

三维堆叠技术在 NAND 芯片封装中的应用与挑战

易 维

上海大学 上海 201201

【摘要】：三维堆叠技术通过垂直互连达成芯片多层堆叠，大幅提高 NAND 存储密度与带宽，降低传输延迟与功耗。其关键实现路径含芯片级堆叠和晶圆级堆叠，前者工艺成熟且灵活性高，后者集成密度跟互连性能更优。随着堆叠层数增多，技术面临热管理难题、机械应力累积以及信号完整性降低等核心挑战。未来需通过 TSV 与键合工艺协同优化、系统级封装融合及成本效益提升等策略，促使三维堆叠 NAND 朝着更高性能、更可靠以及可持续的方向发展。

【关键词】：三维堆叠；NAND 封装；热管理

DOI:10.12417/3083-5526.25.04.023

1 引言

三维堆叠技术关键是通过垂直互连达成芯片空间维度拓展，把原本沿平面分布的功能单元于垂直方向多层堆叠，提升单位面积存储密度且缩短信号传输路径。在结构上，通过硅通孔（TSV）、微凸点焊接、混合键合等互连手段，把上下层芯片或者晶圆于电气跟机械方面达成高密度、高带宽的垂直连接，进而构建出近似“类单芯片”的三维系统。在 NAND 存储封装领域，这种垂直堆叠不仅提升了每个封装器件的容量，也给控制器跟存储阵列间的高速交互提供了更短且更稳定的互连路径，有利于实现更高的 I/O 带宽以及更低的功耗。

依照制造与装配层级的不同，三维堆叠主要可分为芯片级堆叠与晶圆级堆叠两种技术路径。芯片级堆叠常常采用已切割成单颗裸片的形式，借助再布线层、微凸点或者焊球开展多片叠合，工艺相对成熟、良率可控，适配大容量、多配置的灵活封装方案；晶圆级堆叠在晶圆尚未切割前完成对位、键合和垂直互连，实现更高互连密度和更精细对准精度，给超高层数堆叠以及高带宽接口供给工艺基础，不过对工艺窗口、设备精度及整体良率管理提出了更严格要求。

2 三维堆叠技术在 NAND 芯片封装中的关键应用架构

2.1 芯片级堆叠与晶圆级堆叠的封装方案对比

芯片级堆叠封装通常采用单颗或多颗已完成测试的裸片，在基板上垂直堆叠通过倒装焊或线焊方式，有工艺流程成熟、良率控制相对容易、能按容量灵活配置等特性，不过受引线长度与封装高度限制，信号路径长、寄生参数大，难以完全释放三维互连潜在带宽优势。晶圆级堆叠在晶圆层面完成对位、键合及互连结构加工，能大幅缩减信号路径、提升布线密度跟单位体积容量，更适配高通道数、高带宽 NAND 产品，不过对晶圆平坦度、对准精度以及整片良率提出更高要求，工艺窗口窄，前期设备跟工艺开发成本高。两种方案在工艺复杂度、可实现的集成密度、成本构成以及适配的产品形态上形成了较为鲜明的差异。

2.2 硅通孔技术在垂直互连中的核心作用

硅通孔（TSV）作为贯穿硅片的垂直导电通道，三维 NAND 封装是实现高密度堆叠以及短互连路径的关键基础结构。它的典型制造流程含深硅刻蚀成高深宽比孔洞、介质衬垫跟栅极隔离层沉积、种子层溅射和电镀金属（多是铜或钨）、化学机械抛光（CMP）除掉多余金属以及后续再布线与钝化等步骤。工艺中刻蚀侧壁形貌、金属填充孔洞与接缝缺陷管控直接影响 TSV 的可靠性以及电阻、电感参数；同时，TSV 尺寸与间距需要在工艺可制造性、芯片面积开销和互连密度之间取得平衡，兼顾器件性能跟成本，

在电学特性方面，TSV 比传统引线键合明显缩短信号传输路径，具有更低直流电阻以及寄生电感，能通过优化孔径、金属材料以及衬垫结构减少等效串扰和反射，进而提升信号完整性和时钟边沿保持能力。对于 NAND 堆叠架构来讲，TSV 能够在垂直方向提供大规模并行通道，给通道数提升、位线/字线扩展和多层控制逻辑互联提供物理基础，能让堆叠芯片间在较低工作电压下达成高速数据交换，减小 I/O 驱动摆幅与缓冲级数，降低整体互连功耗。通过 TSV 跟晶圆级键合、再布线层协同设计，还能构建更紧凑的三维总线跟局部互连网络，支撑高带宽、低延迟的 NAND 存储子系统。

3 高密度堆叠引发的核心挑战与机理分析

3.1 热管理难题：热流密度剧增与散热路径优化

随着 NAND 芯片三维堆叠层数由几十层朝着数百乃至上千层发展，单颗器件内部等效热流密度显著增加，纵向散热路径持续被拉长，硅片跟介质层间热阻累积效应越发明显。高功率密度工作情形下，堆叠上层单元温度常常高于下层，形成显著的温度梯度，影响阈值电压漂移与写入/擦除速度一致性，还会加重电荷泄漏以及材料老化，缩短器件寿命，部分“热点”区域长期高温运行，易引发金属互连电迁移、介质击穿概率升高这类失效机理，让热管理问题从传统封装的“辅助设计因素”变成三维堆叠架构里的“首要约束条件”。

针对堆叠结构热阻偏高这一情况，热界面材料和嵌入式散

热结构协同优化成关键技术路径之一。在芯片/中介层、芯片/基板间引入高导热系数、低界面接触热阻的热界面材料，能降低多层界面间的温差放大效应，且减轻因翘曲致使的微空洞、微裂纹对热传导路径的损害。在封装内部集成铜柱、热通孔、金属嵌段或者微通道等嵌入式散热结构，能给热量提供更多垂直与横向旁路通道，缩短热扩散路径，实现从“单一路径被动散热”至“多维通路主动导热”的结构转变，在堆叠布局阶段同步考量功率分布和散热结构布置，有望在不明显增添封装面积和成本的情况下，实现热流密度和温升的协同优化。

3.2 机械应力与可靠性：翘曲、裂纹及疲劳失效

在三维堆叠 NAND 封装里，材料体系涵盖硅片、封装基板以及模塑料、钝化介质和焊料凸点，热膨胀系数跟弹性模量差别明显，热循环工况反复升降温会在界面处积累较大热失配应力。随着堆叠层数持续增多、封装整体厚度与结构不对称性进一步加大之际，芯片与封装基板之间的弯曲刚度失衡，让整体结构更易产生全局翘曲与局部翘曲叠加现象，翘曲不光影响后续贴装和回流焊接共面性，致使焊点有空洞以及开裂情况出现，还会借助应变集中引出晶圆级跟封装级的隐性裂纹，为后续可靠性失效埋下隐患。

在制造工艺层面，晶圆减薄、TSV 刻蚀与填充、再布线层沉积、模塑封装以及回流焊等环节都会引入残余工艺应力，和热失配应力叠加后于多界面处形成复杂应力场分布，NAND 堆叠结构中的介质层/金属互连界面、硅通孔与周围绝缘材料界面、芯片/中介层/基板多重界面尤为敏感，易出现界面分层、层间剪切滑移以及低周疲劳裂纹扩展。长时间读写循环与通断热冲击会促使裂纹沿着弱界面或缺陷富集区域缓慢扩展，最后变成焊点疲劳断裂、RDL 开路或者 TSV 失效等宏观失效模式。因此，三维堆叠 NAND 封装设计阶段必须通过材料组合优化、结构对称化设计与应力缓冲层引入，配合有限元仿真对翘曲形变与应力热点进行前馈预测与约束，才可在高集成度状况下保持充足机械可靠性裕量。

3.3 电学性能挑战：信号完整性、噪声与功耗管理

在三维堆叠 NAND 封装里，电学性能挑战多源自垂直互连结构跟高密度电源/信号网络的耦合效应，TSV 和微凸点互连不可避免地引入寄生电阻、电容与电感，其分布特性在高速读写与并行通道工作条件下放大，为时钟跟数据路径带来额外传输延迟以及上升沿钝化，让眼图开口度变小。同时，紧凑堆叠致使信号线间距与 TSV 间距被大幅压缩，近端串扰与远端串扰增大，局部差模和共模噪声干扰明显，减弱了 NAND 多级误码校正机制的容错裕量，对接口速率再提升构成约束。

在电源分配网络方面，多层堆叠结构里垂直供电路径变长，PDN 阻抗抬升，开关单元集中翻转产生的瞬态电流引发布局范围的 IR 压降与 Ldi/dt 噪声，局部电源塌陷跟地弹噪声叠

加于数据路径上，会引发位线电压摆幅不够、参考电压偏离以及读写判决边界移动，增加随机读写错误概率。兼顾功耗跟性能，要在有限堆叠空间里达成去耦电容三维分布优化、供电/信号 TSV 协同布局及屏蔽设计，且经多域协同仿真于封装层面全面考量串扰、PDN 噪声跟静态功耗间的耦合关系，进而高带宽与低功耗目标下取得可接受的信号完整性以及电源完整性。

4 面向未来的技术优化策略与发展趋势

4.1 TSV 与键合工艺的协同设计与优化

在三维堆叠 NAND 封装里，TSV 几何尺寸、布局方式跟键合工艺参数有明显耦合关系，要通过协同设计实现性能、可靠性与良率的综合优化。TSV 阵列与存储单元阵列、外围电路区域的相对位置会直接影响局部热流密度与机械应力分布，过于集中的 TSV 簇容易在再布线层和硅基体界面处产生热应力集中，诱发微裂纹与翘曲失配。因此，要在版图层面引入“功能分区 + 应力均衡”的 TSV 布局策略，通过控制 TSV 间距、阵列形状以及跟敏感电路单元的隔离带宽度，兼顾低寄生、电源跟信号短路径以及应力、热的均匀化。结合仿真驱动设计方法，芯片封装协同优化阶段，对 TSV 位置做迭代调整，降低键合界面和介质层的疲劳加载。

为进一步缓解 TSV 周边的电容耦合与热-机械失配问题，引入低介电常数、低模量新型介电材料和重布线绝缘材料，能降低互连寄生参数，减小热膨胀系数差异造成的界面应力集中，搭配混合键合、直接键合等先进键合工艺。通过提升键合界面的平整程度和洁净状况，减小键合间隙和空洞比例，能大幅降低界面电阻跟接触不稳定性，提高高频信号完整度以及封装长久可靠性。把 TSV 尺寸跟分布与键合压力、温度曲线、对准精度等工艺窗口协同优化，有利于提升堆叠芯片一致性和良率，也给后续朝着更大堆叠层数以及更小工艺节点演进留出了可靠工艺余量。

4.2 系统级封装与异质集成技术的融合应用

在系统级封装 (SiP) 框架下，把三维堆叠 NAND 跟 CPU、AI 加速单元、控制器以及电源管理芯片在同一封装内异质集成，能在封装层面实现高带宽、低延迟的数据通路，削减传统板级互连造成的信号损耗和功耗开支。在逻辑芯片跟 3D NAND 间引入宽 I/O 总线、局部高速互连网络，还有针对存算协同优化的总线协议跟缓存架构，能构建针对存内计算或者靠存计算的专用系统模块，大幅提高随机访问性能以及数据并行处理能力。同时，借助三维堆叠形成的大容量本地存储，可以在封装中构建“存储池”，为高分辨率视频处理、边缘 AI 推理、数据库加速等场景供应高吞吐的数据支撑。

异质集成致使芯片工艺节点、材料体系以及功耗密度出现高度不均一的情况，让 SiP 在电源分配网络规划、时钟同步、

热管理以及机械可靠性控制方面面临新的协同设计要求。三维堆叠 NAND 常采用相对成熟制造工艺，高性能逻辑芯片聚集在先进节点，二者在工作电压、工作温度以及热膨胀系数方面的差别，需要通过分区供电、分级稳压以及层间热通道设计进行平衡，布置热扩散层导热界面材料在封装内抑制热点聚集。在信号与电源完整性方面，需要联合考量 NAND 堆叠结构里的 TSV/微凸点网络跟 SiP 级重布线层的耦合行为，优化走线拓扑与去耦电容布局，避免高速逻辑开关噪声耦合到敏感存储阵列，确保系统级集成在达成功能多样时保持足够鲁棒性及长期可靠性。

4.3 成本效益分析与可持续制造路径探索

在三维堆叠 NAND 封装产业化推进进程里，成本效益是评估技术路径可行性的核心指标。对工艺流程开展模块化及标准化设计，把光刻、刻蚀、金属沉积等关键步骤在晶圆制造与封装环节间加以统筹，能减少重复对准和多次回流焊接造成的时间跟材料浪费。针对 TSV 形成、混合键合、再布线层构筑等高成本环节，引入工艺整合与一体化批量处理思路，例如将多道金属互连在同一热处理窗口内完成，能有效降低制程周期与设备折旧摊销，配合封装结构的可制造性设计（DFM）与可测试性设计（DFT），在早期阶段预测良率敏感点并进行冗余

设计与缺陷规避布局，有利于在堆叠层数提高的情况下维持可接受的单位比特成本。

面向可持续制造，设计工具跟生产模式升级同样关键。借助多物理场协同仿真平台，在版图阶段对热分布、机械应力和电源网络压降开展联合优化，能减少反复试产造成的晶圆跟化学品消耗，生产端通过大规模自动化与智能调度，提升设备稼动率以及工艺窗口控制精度，实现三维堆叠 NAND 从小批量验证至规模化量产的平稳过渡，利于摊薄高端设备和材料投入。同时，采用可回收基板材料、低挥发性有机溶剂以及寿命周期评估（LCA）方法，把封装过程里碳排放跟资源消耗进行量化以及闭环优化，让三维堆叠 NAND 在实现高存储密度和高性能之际，契合绿色制造与长期商业化发展需求。

5 结语

三维堆叠技术是促使 NAND 存储朝着高密度、高性能迈进的关键途径，它在提高集成度跟带宽之际，也带来热、力、电等多物理场耦合难题。通过工艺协同设计、异质集成优化以及成本可控制造，这项技术有望在先进存储与计算系统中发挥更大作用。未来要持续开展材料、结构与系统级创新，以实现更高可靠度、更低能耗的堆叠存储解决方法。

参考文献：

- [1] 李锟. 硅通孔三维堆叠芯片可靠性标准研究[J]. 信息技术与标准化, 2024, (07): 42-46.
- [2] 惠财鑫. 三维堆叠 GaN 芯片多热源耦合及热管理技术[D]. 厦门理工学院, 2023.
- [3] 赵心然, 袁渊, 王刚, 等. 混合键合技术在三维堆叠封装中的研究进展[J]. 半导体技术, 2023, 48(03): 190-198.
- [4] 张世义. 基于硅通孔的射频 MEMS 开关三维堆叠制造技术研究[D]. 中北大学, 2022.
- [5] 姚明军. 基于混合键合和后硅通孔的晶圆级三维芯片堆叠技术研究[D]. 大连理工大学, 2019.